

Zpráva k Projektu P.C.S. 2

Řešitel: Lukáš Plevač (xpleva07)

Prosinec 2023

1 Provedené změny

- Jako první jsem upravil soubory jenkins_final.vhd a jenkins_mix.vhd:
 - Přidání procesu nad všechny úrovně výpočtu. Přidána podmínka provedení zapsání výsledků pouze na nástupné hraně, to umožňuje využít pipelining při výpočtu. Jeden z výpočtů má 7 stupňů zřetezené linky druhý 6 (již předimplementováno). V případě že by výpočet měl zbytečně moc stuňů předpokládám retiming ze strany syntézy.
- Následná změna v souboru filter.vhd:
 - Povolení výstupního registru pro RAM. Výstupní register byl zapnut pomocí OUTPUT_REGISTER změněného z false na true a následně povolení pipeliningu v key_memory_register. Toto povolilo pipelining s pamětí.
- Drobné změny v block_memory.vhd:
 - Přidání attribute ram_style pro vynucení daného typu paměti nakonec není součástí odevzdání

```
— attribute ram_style : string;  
— attribute ram_style of memory: signal is "DISTRIBUTED";  
— 208 MHZ in implementation when no pipelining  
— on memory but need lot of LUTRAM  
— attribute ram_style of memory: signal is "BLOCK";  
— attribute ram_style of memory: signal is "M20K";
```

2 Výsledky syntézy

	Celkově	Změna
Frekvence [MHz]	293	+236
Latence [cyklů]	15	+15
LUT	3787	+289
Registr	4795	+4232
BRAM	34	+0

Popsané změny vedly na zásadní zvýšení maximální frekvence nad hranici 250MHz, dále došlo k nepatrnému zvýšení počtu LUT, zásadnímu zvýšení počtu registrů, které bylo způsobeno stejně jako zvýšení latence přidáním stupňů zřetězené linky. Přidání stupňů vedlo také k zvýšení frekvence